

**SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE**

Patent Number: JP2000208872  
Publication date: 2000-07-28  
Inventor(s): KINOSHITA JUNICHI  
Applicant(s): TOSHIBA CORP  
Requested Patent: ☐ JP2000208872  
Application Number: JP19990005604 19990112  
Priority Number(s):  
IPC Classification: H01S5/223; H01S5/12; H01S5/34  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To form a current constricting structure very accurately and easily by allowing a part of a semiconductor laminating body to be an electrification region in disorder.

**SOLUTION:** As a current constricting structure, a stripe-like disorder region 18a is formed at the central part of an element with high-resistance regions 15 on both sides. During the formation, trenches 30 are firstly provided on both sides of the disorder region 18a. An AlAs layer is selectively oxidized from the end surface exposed on the inner wall surface of the trench 30, to form the high-resistance region 15. Here, the oxidation of the AlAs layer proceeds toward the disorder region 18a from the inner wall surface of the trench 30, however, the disorder region 18a comprising an intermediate composition is difficult to be oxidized, blocking the selective oxidation. Since the disorder region 18a is not oxidized, an electrification region is formed with the width for good reproducibility. Thus, the current constricting structure is formed very accurately and easily.

---

Data supplied from the esp@cenet database - 12

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2000-208872

(P2000-208872A)

(43)公開日 平成12年7月28日(2000.7.28)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード(参考)	
H 0 1 S	5/223	H 0 1 S 3/18	6 6 4	5 F 0 7 3
	5/12		6 4 2	
	5/34		6 7 6	

審査請求 未請求 請求項の数16 O L (全 14 頁)

(21)出願番号 特願平11-5604

(22)出願日 平成11年1月12日(1999.1.12)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 木 下 順 一

神奈川県川崎市幸区堀川町72番地 株式会  
社東芝川崎事業所内

(74)代理人 100064285

弁理士 佐藤 一雄 (外3名)

Fターム(参考) 5F073 AA09 AA51 AA64 AA71 AA74

CA02 CA04 CB02 CB10 CB19

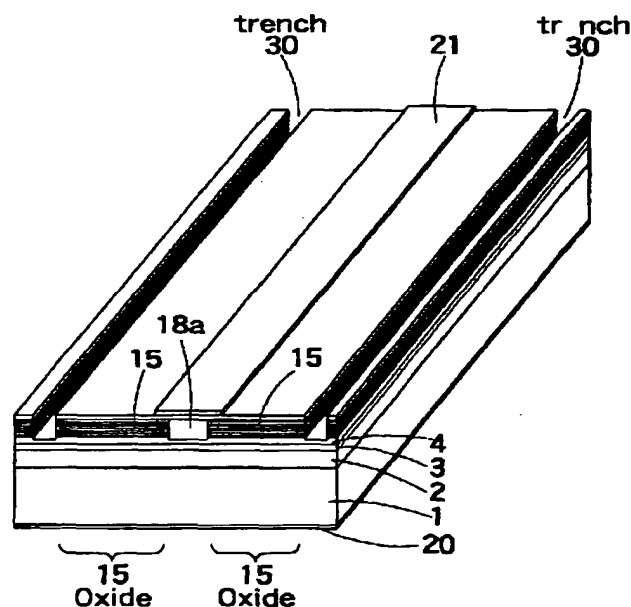
DA12 DA21 DA27 EA29

(54)【発明の名称】 半導体素子及びその製造方法

(57)【要約】

【課題】 電流狭窄構造や回折格子を正確且つ容易に形成することができる半導体素子及びその製造方法を提供することを目的とする。

【解決手段】 MQW構造の一部を無秩序化することによって残りの部分のみを正確且つ容易に選択酸化することができる。その結果として、電流狭窄構造を極めて正確且つ容易に形成することができる。また、所定のマスクを介してMQW構造を無秩序化させることにより、再成長工程を経ることなく、基板面に対して垂直な回折格子も水平な回折格子も正確且つ容易に形成することができる。



(2)

1

## 【特許請求の範囲】

【請求項1】互いに異なる組成の半導体からなる少なくとも2種類の層を周期的に積層した半導体積層体を備え、  
前記半導体積層体の一部は、無秩序化された通電領域とされ、

前記通電領域に隣接した前記半導体積層体の他の一部は、前記2種類の層のうちの少なくともいずれかが酸化された高抵抗領域とされ、

注入された電流が前記高抵抗領域によって阻止されて前記通電領域に集中することを特徴とする半導体素子。

【請求項2】n型の半導体からなる第1のクラッド層と、

活性層と、

p型の半導体からなる第2のクラッド層と、

をさらに備え、

前記通電領域に集中した電流が前記活性層の一部に流入して発光を生ずることを特徴とする請求項1記載の半導体素子。

【請求項3】前記通電領域は、前記高抵抗領域よりも高い屈折率を有し、導波路を構成することを特徴とする請求項1または2に記載の半導体素子。

【請求項4】前記半導体積層体は、前記通電領域の他にも無秩序化された橋脚領域を有し、

前記橋脚領域は、前記高抵抗領域における前記酸化に伴う体積の変化による変形を防ぐものとして作用することを特徴とする請求項1～3のいずれか1つに記載の半導体素子。

【請求項5】光を導波する導波路を備えた半導体素子であって、

互いに異なる組成の半導体からなる少なくとも2種類の層を周期的に積層した半導体積層体を備え、

前記半導体積層体は、無秩序化された第1の領域と、前記第1の領域に隣接し無秩序化されていない第2の領域とを有し、

前記第1の領域と前記第2の領域との境界面は、前記導波路において導波される光に対して光学的な作用を及ぼす光学的手段として作用することを特徴とする半導体素子。

【請求項6】前記半導体積層体の前記第2の領域において、前記少なくとも2種類の層の少なくともいずれかが酸化されてなることを特徴とする請求項5記載の半導体素子。

【請求項7】前記光学的手段は、前記導波路において導波される光についてブラッグ回折を生じさせる回折格子であることを特徴とする5または6に記載の半導体素子。

【請求項8】前記半導体積層体の前記少なくとも2種類の層の少なくともいずれかは、アルミニウム (Al) を含有してなることを特徴とする請求項1～7のいずれか

2

1つに記載の半導体素子。

【請求項9】前記半導体積層体における前記無秩序化された前記領域は、亜鉛 (Zn) またはベリリウム (Be) の導入により形成されてなることを特徴とする請求項1～8のいずれか1つに記載の半導体素子。

【請求項10】前記半導体積層体における前記無秩序化された前記領域は、原子空孔の移動により形成されてなることを特徴とする請求項1～8のいずれか1つに記載の半導体素子。

【請求項11】注入された電流が高抵抗領域によって阻止されて通電領域に集中するものとして構成された半導体素子の製造方法であって、

互いに異なる組成の半導体からなる少なくとも2種類の層を周期的に積層した半導体積層体を形成する積層工程と、

前記半導体積層体の一部を無秩序化して通電領域とする無秩序化工程と、

前記半導体積層体の他の一部において、前記通電領域に隣接するように前記2種類の層のうちの少なくともいずれかを酸化して高抵抗領域を形成する酸化工程と、  
を備えたことを特徴とする半導体素子の製造方法。

【請求項12】光を導波する導波路を有し、前記導波路において導波される光に対して光学的な作用を及ぼす光学的手段をさらに有する半導体素子の製造方法であって、

互いに異なる組成の半導体からなる少なくとも2種類の層を周期的に積層した半導体積層体を形成する積層工程と、

前記半導体積層体の上に、前記光学的手段の形状を反映したマスクを形成するマスク形成工程と、

前記半導体積層体を前記マスクの形状に対応して選択的に無秩序化して前記光学的手段とする無秩序化工程と、  
を備えたことを特徴とする半導体素子の製造方法。

【請求項13】前記無秩序化工程の後に、  
前記半導体積層体の前記無秩序化されていない部分において、前記2種類の層のうちの少なくともいずれかを酸化する酸化工程をさらに備えたことを特徴とする請求項12記載の半導体素子の製造方法。

【請求項14】前記光学的手段は、前記導波路において導波される光についてブラッグ回折を生じさせる回折格子であることを特徴とする請求項12または13に記載の半導体素子の製造方法。

【請求項15】前記無秩序化工程は、前記半導体積層体に対して亜鉛 (Zn) またはベリリウム (Be) を選択的に導入することにより行うことを特徴とする請求項11～14のいずれか1つに記載の半導体素子の製造方法。

【請求項16】前記無秩序化工程は、前記半導体積層体の一部において原子空孔の移動を促進させることにより行うことを特徴とする請求項11～14のいずれか1つ

(3)

3

に記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体素子及びその製造方法に関する。より具体的には、本発明は、所定の通電領域にのみ電流を狭窄する構造や、回折格子などの光学的手段を備えた半導体レーザなどの半導体素子及びその製造方法に関する。

【0002】

【従来の技術】半導体素子は、機能させるべきpn接合に効率良く少数キャリアを注入する必要がある場合が多い。例えば、半導体レーザにおいては、小さい体積の共振器にのみ電流を狭窄する必要がある。通常は、逆方向にバイアスが印加されるpn接合を非通電領域に形成して電流をブロックする。この構成は極めて一般的なもので図示しないが、電流ブロック層を結晶成長で形成するため成長回数が多くなるという欠点があった。

【0003】また、この逆バイアスpn接合の接合容量によって、CR（容量・抵抗）のロールオフが増加し、1Gbps以上の高速駆動が難しくなるという欠点もあった。

【0004】最近、VCSEL（垂直共振器型レーザ：Vertical Cavity Surface Emitting Laser）で用いられている、AlAsの選択酸化による電流狭窄方式が注目されている。この選択酸化による電流狭窄構造を以下に図面を参照して説明する。

【0005】図11は、GaAlAs/GaAs系端面発光型レーザを表す説明図である。すなわち、同図

(a)は、その製造工程途中の断面概念図であり、同図(b)は、その完成状態の断面概念図である。

【0006】このレーザの製造にあたっては、まず、GaAs基板101上に、n型GaAlAs（Al組成比：0.3）クラッド層102、GaAsとGaAlAsからなるMQW（多重量子井戸：multi-quantum well）構造の活性層103（付随する導波路層も含む）、薄い（約0.1μm厚）p型GaAlAs（Al組成比：0.3）クラッド層104、続いて、p型AlAs層105（0.1μm厚）、p型p型GaAlAs（Al組成比：0.3）第2クラッド層106、p型GaAsコンタクト層107を成長する。

【0007】次に、同図(b)のように、p型AlAs層105まで達するメサストライプ110をパターンニングとエッチングにより形成する。ストライプの幅は約10μmである。次に、水蒸気酸化によりp型AlAs層105を外側から酸化して、最後に、2μm以下の幅のp型AlAs層105が残り、それ以外p型AlAs層105の部分を酸化膜115に変成させる。

【0008】最後に、図11(b)に表したように、電極120、121を形成して端面発光型レーザが完成する。このようにして形成された端面発光型レーザにおい

4

ては、電極121を介して注入された電流は、酸化膜115によりブロックされ、2μm以下の幅のp型AlAs層105の通電領域のみを通して、活性層103に狭窄される。このように、活性層103に対して、電流を狭窄して注入することにより、高い効率のレーザ発振を得ることができる。

【0009】

【発明が解決しようとする課題】しかし、この選択酸化法では、10μmもの広い幅のメサストライプ110から、最後は2μm以下の狭い幅のp型AlAs層5を残すために、メサストライプ110の両脇から4μm以上の選択酸化をする必要がある。最終的なp型AlAs層105の幅を再現性良く得るのは、選択酸化の制御性の点から極めて困難である。これは、半導体素子の製造上の大きな問題点である。

【0010】また、AlAsを酸化して酸化膜を形成する際に体積変化が起こり、メサストライプ110の両端が反って結晶全体に大きなダメージを与え、素子の信頼性を劣化させるという問題もあった。

【0011】一方、以上説明した電流狭窄構造とは別に、半導体レーザや光変調器などの半導体素子においては、導波路に沿って光学的な作用を与える光学的手段を設ける場合が多い。このような光学的手段としては、例えば、回折格子などの周期的構造を挙げることができる。このような光学手段を形成する場合において、以下に詳述するような種々の問題があった。

【0012】例えば、ホログラムの一種である回折格子を設けた導波路を有する光半導体素子がある。このような光半導体素子としては、分布帰還型レーザ（DFB：Distributed Feedback Laser）が有名である。これを作製するためには、下地の半導体材料に光学的手段として回折格子を刻印し、その上に結晶成長を行う必要があった。

【0013】基板が導波路光に対して透明な場合は、基板に回折格子を刻んで、その上に活性層を含めた導波路の層構造を結晶成長する。しかし、この場合は下地が回折格子であるために凹凸ができ、基板主面と異なる面方位の斜面が現れる。この面方位と凹凸のため、その上の活性層等の層構造が平坦になりにくいという問題があった。

【0014】図12は、従来の分布帰還型レーザの製造工程の要部を説明する工程断面図である。すなわち、同図に例示したレーザは、InGaAsP/InP系DFBレーザである。

【0015】このDFBレーザの製造にあたっては、まず、n型InP基板201上に回折格子210を形成する。その上に、n型InGaAsP導波路層202と組成の異なるInGaAsPのウェル・バリア多層構造からなるMQW活性層203、p型InP層204、p型InGaAsコンタクト層205を順次結晶成長する。

50

(4)

5

しかし、この場合には、活性層203は、基板上の回折格子210の影響を受けて凹凸が回復されず結晶性も悪くなる。その結果として、発光効率が低下し、信頼性も劣化しやすいなどの問題があった。

【0016】一方、図13は、より一般的に広く行われている方法を表す工程断面図である。すなわち、活性層を成長した後に導波路構造の一部に回折格子を形成し、その上に結晶成長する。この場合、これに関する結晶成長の回数だけでも2回になる。

【0017】同図の工程を具体的に説明すると、まず、平坦なn型InP基板201上にMQW活性層203、p型InGaAsP導波路層202を成長する。

【0018】次に、ウェーハを成長炉から一旦取り出して、この上に回折格子210を形成する。次に、p型InP層204、p型InGaAsコンタクト層205を結晶成長する。この場合、p型InGaAsコンタクト層205の表面は回折格子210から距離があるため比較的平坦に回復する。活性層203は、すでに平坦な基板201の上に平坦に成長されている。つまり、半導体素子の重要な層構造には、回折格子の凹凸の影響は少ない。

【0019】しかし、この場合においても、回折格子上へのオーバグロース (overgrowth: 再成長) が必要であった。すなわち、ウェーハを結晶成長炉から一旦取り出して回折格子を形成し、再び結晶成長炉に導入して結晶成長を行う。このオーバグロースの成長界面には、不純物や結晶欠陥が高い密度で導入されやすく、素子の初期特性や信頼性を低下させる要因のひとつとなっていた。

【0020】回折格子をもたないFP (Fabry-Perot) 型の半導体レーザの場合は、リッジ導波路型 (Ridge Waveguide: RWG) 構造を採用すると、結晶成長は1回で済み、上記した問題を回避できる。しかし、DFBレーザの場合には、前述した回折格子の結晶成長、すなわちオーバグロースのために、一回の結晶成長のみでデバイスを実現するのが困難であった。

【0021】一方、結晶成長後に無理に回折格子をRWGの側面に形成したり、メサの上面に回折格子を形成する構成も考えられる。しかし、これらの場合は、回折格子が導波路のコア部から離れすぎたり、電極にじゃまされたりして、回折効果を十分に得にくいという問題がある。

【0022】本発明は、以上詳述した種々の課題の認識に基づいてなされたものである。すなわち、その目的は、従来の半導体素子の電流狭窄構造が有する欠点を克服し、狭いストライプ幅を容易に精度良く得られ、酸化にともなう結晶へのダメージを減らすことができる半導体素子及びその製造方法を提供することにある。本発明は、同時に、半導体レーザに適用した場合、良好な導波路機能も付与するものである。

【0023】また、本発明の目的は、1回の結晶成長工

6

程により回折格子などの光学的手段を有する構造を製造することができる半導体素子及びその製造方法を提供することにある。

【0024】

【課題を解決するための手段】上記目的を達成するため、本発明の半導体素子は、互いに異なる組成の半導体からなる少なくとも2種類の層を周期的に積層した半導体積層体を備え、前記半導体積層体の一部は、無秩序化された通電領域とされ、前記通電領域に隣接した前記半導体積層体の他の一部は、前記2種類の層のうちの少なくともいずれかが酸化された高抵抗領域とされ、注入された電流が前記高抵抗領域によって阻止されて前記通電領域に集中することを特徴とし、電流狭窄構造を極めて正確且つ容易に形成することができる。

【0025】また、本発明の望ましい実施の形態としては、n型の半導体からなる第1のクラッド層と、活性層と、p型の半導体からなる第2のクラッド層と、をさらに備え、前記通電領域に集中した電流が前記活性層の一部に流入して発光を生ずるようにすることが望ましい。

【0026】さらに、前記通電領域は、前記高抵抗領域よりも高い屈折率を有し、導波路を構成するものとすれば、実屈折率型の典型的な導波路構造を正確且つ容易に形成することができる。

【0027】また、前記半導体積層体は、前記通電領域の他にも不純物が導入されて無秩序化された橋脚領域を有し、前記橋脚領域は、前記高抵抗領域における前記酸化に伴う体積の変化による変形を防ぐものとして作用するものとすれば、酸化による体積変化に起因する「反り」を防ぐことができる。

【0028】一方、本発明の別の半導体素子は、光を導波する導波路を備えた半導体素子であって、互いに異なる組成の半導体からなる少なくとも2種類の層を周期的に積層した半導体積層体を備え、前記半導体積層体は、無秩序化された第1の領域と、前記第1の領域に隣接し無秩序化されていない第2の領域とを有し、前記第1の領域と前記第2の領域との境界面は、前記導波路において導波される光に対して光学的な作用を及ぼす光学的手段として作用することを特徴とし、再成長させることなく回折格子などの各種の光学的手段を形成することができる。

【0029】ここで、前記半導体積層体の前記第2の領域において、前記少なくとも2種類の層の少なくともいずれかが酸化されてなることとすると、屈折率の差を拡大することができ、回折格子などの光学的手段の性能をさらに改善することができる。

【0030】また、前記光学的手段として、前記導波路において導波される光についてブラッグ回折を生じさせる回折格子を形成すれば、高性能のDFBレーザなどの各種の光半導体素子を正確且つ容易に形成できる。

【0031】ここで、選択酸化を容易に生じさせるため

50

(5)

7

には、前記半導体積層体の前記少なくとも2種類の層の少なくともいずれかは、アルミニウム (Al) を含有してなるものとするのが望ましい。

【0032】また、無秩序化を確実に生じさせるためには、不純物として、亜鉛 (Zn) またはベリリウム (Be) を導入し、または、原子空孔を移動させることが望ましい。

【0033】一方、本発明の半導体素子の製造方法は、注入された電流が高抵抗領域によって阻止されて通電領域に集中するものとして構成された半導体素子の製造方法であって、互いに異なる組成の半導体からなる少なくとも2種類の層を周期的に積層した半導体積層体を形成する工程と、前記半導体積層体の一部を無秩序化することにより通電領域を形成する工程と、前記半導体積層体の他の一部において、前記2種類の層のうちの少なくともいずれかを酸化することにより前記通電領域に隣接するように高抵抗領域を形成する工程と、を備えたことを特徴とし、電流狭窄構造を正確且つ容易に実現することができる。

【0034】または、本発明の半導体素子の製造方法は、光を導波する導波路を有し、前記導波路において導波される光に対して光学的な作用を及ぼす光学的手段をさらに有する半導体素子の製造方法であって、互いに異なる組成の半導体からなる少なくとも2種類の層を周期的に積層した半導体積層体を形成する工程と、前記半導体積層体の上に、前記光学的手段の形状を反映したマスクを形成する工程と、前記半導体積層体を前記マスクの形状に対応して選択的に無秩序化することにより前記光学的手段を形成する工程と、を備えたことを特徴とし、回折格子などの光学的手段を有する半導体素子を正確且つ容易に製造することができる。

【0035】ここで、前記光学的手段を形成する前記工程の後に、前記半導体積層体の前記無秩序化されていない部分において、前記2種類の層のうちの少なくともいずれかを酸化する工程をさらに備えたものとすれば、屈折率の差を拡大して光学的手段の性能をさらに改善することができる。

【0036】また、前記光学的手段として、前記導波路において導波される光についてブラッグ回折を生じさせる回折格子を形成すれば、高性能のDFBレーザなどの各種の光半導体素子を正確且つ容易に製造することができる。

【0037】ここで、前記無秩序化工程は、前記半導体積層体に対して亜鉛 (Zn) またはベリリウム (Be) を選択的に導入し、または、前記半導体積層体の一部において原子空孔の移動を促進させることにより行うことにより、無秩序化を確実に生じさせることができる。

【0038】本発明によれば、結晶成長の回数を減らし、一回の結晶成長だけで得られたウェーハを加工して光導波路をつくることができる。すなわち、複雑な結晶

8

成長とその間の加工工程が少ないとコストが下がる。また、工程を大幅に短縮できる。さらに、工程途中での失敗の危険度も減る。

【0039】

【発明の実施の形態】本発明は、超格子を無秩序化させると酸化されにくくなる現象を積極的に利用して、所定の電流狭窄構造や回折格子を正確且つ容易に形成することができる半導体素子及びその製造方法を提供するものである。

【0040】以下に本発明の実施例を図面を参照しながら詳細に説明する。

【0041】図1は、本発明の第1の実施の形態にかかる半導体素子を表す斜視概念図である。同図の半導体素子は、電流狭窄構造を有する半導体レーザであり、略直方体状の素子上面には、両側にトレンチ30がそれぞれ設けられている。

【0042】その構造を説明すると、GaAs基板1の上に、n型GaAlAsクラッド層2、MQW構造の活性層3 (付随する導波路層も含む)、p型GaAlAsクラッド層4が順次積層され、その上に、電流狭窄構造が設けられている。

【0043】電流狭窄構造は、素子の中央部にストライプ状の無秩序化領域18aが形成され、その両側には、高抵抗領域15が形成されている。さらに、この電流狭窄構造の上には、p型コンタクト層7が形成されている。また、基板1の裏面側には、n側電極20が形成され、コンタクト層7の上には、p側電極21が形成されている。

【0044】ここで、ストライプ状の無秩序化領域は、例えばAlAs/GaAlAsからなる超格子に亜鉛などの不純物を導入することにより層構造を消失させて形成することができる。または、このような超格子において原子空孔の移動を促進させることによっても形成することができる。このように無秩序化させると、中間的な組成を有するGaAlAs領域が得られる。従って、この無秩序化領域は、導電率が高く、電極21を介して注入された電流の経路となる。

【0045】一方、高抵抗領域15は、超格子構造を酸化させることにより形成されたものである。つまり、トレンチ30に露出している端部から、超格子を酸化させると、AlAs/GaAlAs超格子の場合には、AlAs層が優先的に酸化されて酸化層となる。その結果として、超格子は電気的に高抵抗化し、電流をブロックする。

【0046】次に、本実施形態の半導体レーザの製造方法について具体例を参照しつつ説明する。

【0047】図2は、本実施形態の半導体レーザの製造方法を表す概念工程断面図である。

【0048】まず、同図(a)に表したように、半導体の積層構造を形成する。具体的には、GaAs基板1の

9

上に、 $n$ 型GaAlAs (Al組成比: 0.3) クラッド層2、GaAsとGaAlAsからなるMQW構造の活性層3 (付随する導波路層を含めても良い)、約0.1  $\mu\text{m}$ 厚の $p$ 型GaAlAs (Al組成比: 0.3) クラッド層4、続いて、非常に薄いAlAs層16とGaAlAs (Al組成比: 0.5) 17を交互に重ねた多重量子井戸 (MQW) 構造18を成長する。さらに、 $p$ 型GaAsコンタクト層7を成長する。ここまでの積層構造全体の厚さは、例えば1  $\mu\text{m}$ 程度である。

【0049】次に、図2 (b) に表したように、無秩序化領域18aを形成する。具体的には、 $p$ 型コンタクト層7の上に図示しないマスクを設け、ストライプ状に $p$ 型GaAlAs層4まで達するように亜鉛 (Zn) などの不純物を拡散する。ストライプの幅は、例えば2  $\mu\text{m}$ 程度とする。不純物の導入法としては、例えば、イオン注入法や気相拡散法あるいは固相拡散法などをもちいることができる。また、導入する不純物としては、ベリリウム (Be) などと同様に用いることができる。

【0050】この工程により、多重量子井戸 (MQW) 構造18は無秩序化し、微細なMQW構造が実質的に消失する。つまり、AlAs層16とGaAlAs (Al: 0.5) 17は混合して、中間的な組成を有するGaAlAsからなる無秩序化領域18aが形成される。例えば、AlAs層16とGaAlAs (Al組成比: 0.5) 17の厚さがほぼ同じ場合には、丁度中間の組成のGaAlAs (Al組成比: 0.75) の層が形成される。

【0051】次に、図2 (c) に表したように、無秩序化領域18aの両側にトレンチ30をそれぞれ設ける。さらに、このトレンチ30の内壁面に露出している端面からAlAs層16を選択的に酸化させて、高抵抗領域15を形成する。このとき、AlAs層16の酸化は、トレンチ30の内壁面から無秩序化領域18aに向かって進行するが、中間的な組成を有する無秩序化領域18aは、酸化されにくく選択酸化をくい止める。つまり、無秩序化領域18aは酸化されないもので、その幅によって再現性良く通電領域を形成できる。このように、本発明によれば、無秩序化領域18aのパターンに応じて選択酸化された高抵抗領域15を自動的に規定できる。高抵抗領域15を形成した後に、電極20及び21を形成し、さらにウェーハを分割して半導体レーザ素子が完成する。

【0052】本発明によれば、MQW構造の一部を無秩序化することによって残りの部分のみを正確に選択酸化することができる。その結果として、電流狭窄構造を極めて正確且つ容易に形成することができる。

【0053】本発明のこの効果をより顕著にするためには、MQW構造を構成する2種類の半導体層のうちのいずれかが特に酸化されやすく、無秩序化された場合には酸化されにくくなるように、MQW構造を設計すれば良

(6)

10

い。具体的には、例えば、アルミニウム (Al) を高い濃度で含有する層と、低い濃度で含有する (もしくは含有しない) 層とによりMQW構造を形成すると、高いアルミニウム濃度の層は非常に酸化されやすく、同時に無秩序化した組成ではあまり酸化されないようにすることができる。

【0054】一方、電流通電部となる無秩序化領域18aは、非通電領域となる両側の高抵抗化領域15より屈折率が高いので、導波路機能を有する。したがって、実屈折率型の典型的な導波路構造も実現できる。この場合にも、導波路となる無秩序化領域18aの形状と寸法とを不純物の導入により正確且つ容易に規定することができるという効果が得られる。

【0055】図2においては、亜鉛やベリリウムなどの不純物を導入することにより無秩序化する例を表した。しかし、無秩序化領域18aを形成する方法としては、この他にも、原子空孔の移動を促進させる方法がある。この方法を開示した文献としては、例えば、S. -F. Yu and E. Herbert Li, らによりIEEE Journal of Selected Topics in Quantum Electronics誌 (Vol. 4, pp. 723-735, 1998) に掲載された、「Semiconductor Lasers Using Diffused-Quantum Well Structures (Invited Paper)」なる技術論文を挙げることができる。

【0056】この方法の一例について説明すると、例えば、GaAlAs/GaAs系の超格子において、その表面に $\text{SiO}_2$ 膜または $\text{Si}_3\text{N}_4$ 膜を形成して熱処理を施すと、超格子の内部における原子空孔の移動を促進させ、無秩序化を生じさせることができる。これは、「 $\text{SiO}_2$  (あるいは $\text{Si}_3\text{N}_4$ ) - Induced Interdiffusion」と呼ばれる。このメカニズムは、次のように説明されている。すなわち、III族原子 (ガリウム) が高温 (900℃) において外部に抜け出し (out-diffusion)、そこに原子空孔ができて、この原子空孔が超格子の内部に拡散することにより、超格子の周期性を破壊して、無秩序化する。ここで、ガリウム (Ga) が外部に抜け出す速度、すなわちout-diffusion rateは、表面に形成された酸化膜または窒化膜との界面でのストレス (interface stress) に応じて加速される。このような界面でのストレスは、例えば、超格子と酸化膜または窒化膜との膨張係数の差に起因する。このようにして、界面のストレスにより、ガリウム原子空孔の生成が加速される結果として、原子空孔の移動も促進され、さらにIII族原子自体の超格子構造での拡散も促進される。その結果として、酸化膜または窒化膜の下

50

(7)

11

【0057】本発明によれば、このような酸化膜または窒化膜の形成による原子空孔の移動による無秩序化現象を利用して同様に半導体素子を形成することができる。

【0058】次に、本発明の第2の実施の形態について説明する。

【0059】図3は、本発明の第2の実施の形態にかかる半導体素子を表す斜視概念図である。すなわち、同図の半導体素子も、電流狭窄構造を有する半導体レーザであり、略直方体状の素子上面には、両側にトレンチ30がそれぞれ設けられている。図3に関しては、図1に表した半導体レーザと同様の部分には同一の符号を付して詳細な説明は省略する。

【0060】本実施形態の半導体レーザは、ストライプ状の無秩序化領域18aの他にも、高抵抗化領域15において部分的に無秩序化領域18bが設けられている点に特徴を有する。すなわち、図3に表した具体例においては、通電領域となる無秩序化領域18aの両側にスポット状に無秩序化領域18bが設けられている。

【0061】このようにスポット状の無秩序化領域18bを設けることによって、酸化にともなうメサストライプの「反り」を防ぐことができる。この効果を製造工程を参照しつつ以下に説明する。

【0062】図4は、本実施形態の半導体レーザの要部製造工程を表す概略工程断面図である。すなわち、同図は、図3のA-A線断面図であり、図2に関して前述した部分と同一の部分には同一の符号を付して詳細な説明は省略する。

【0063】本実施形態においては、図4(b)に表したように、通電領域となる無秩序化領域18aの形成と同時にスポット状の無秩序化領域18bを形成する。この後に、トレンチ30の内壁面からMQW構造18を選択酸化させて図4(c)に表したように高抵抗化領域16を形成する。ここで、スポット状の無秩序化領域18bの位置を中央の無秩序化領域18aからある程度離して形成すれば、両者の間の部分も確実に酸化させて高抵抗化することができる。

【0064】ここで、MQW構造18が酸化すると体積変化が生じ、図4(c)に想像線(矢印A)で表したように、メサストライプ部の両端に「反り」が生ずることがある。これに対して、本実施形態によれば、スポット状の無秩序化領域18bが、MQW構造の下層と上の層とをつなぎとめる「橋脚」の役割を果たす。つまり、無秩序化領域18bを設けることによって、メサストライプ部の「反り」を防ぐことができる。

【0065】本実施形態における無秩序化領域18bは、高抵抗化領域15を形成するための選択酸化の進行を妨げることがなく、且つメサストライプ部の「反り」を防ぐために必要な面積を有するように形成すれば良い。例えば、図3に表した具体例においては、メサスト

12

ライプ部の長さLが300~800 $\mu$ m、幅Wが8~10 $\mu$ mであり、また通電領域となる無秩序化領域18aの幅Waが1~2 $\mu$ mの場合に、スポット状の無秩序化領域18bの幅Wbを例えば1 $\mu$ m程度とすることができる。また、メサストライプ部の「反り」を効果的に防ぐためには、「橋脚」となる無秩序化領域18bを中央部の無秩序化領域18aに接近させて配置するよりもメサストライプ部の端に配置した方が良い。

【0066】無秩序化領域18bのパターン形状は、図示したような正方形形状には限定されず、その他にも例えば円形や楕円形あるいは長方形などの多角形状などとしても良い。また、その大きさや数あるいは位置についても、個々の半導体素子の寸法パターンに応じて適宜決定することができる。

【0067】また、無秩序化領域18bにおいて電流が流れると、電流狭窄の効果が低下する。この問題を防ぐためには、例えば、図3或いは図4に例示したように、電極21を選択的に形成して、無秩序化領域18bへの電流の流入を抑制すれば良い。

【0068】一方、本実施形態においても、前述したような酸化膜または窒化膜の形成による原子空孔の移動による無秩序化現象を利用して同様に半導体素子を形成することができる。

【0069】次に、本発明の第3の実施の形態について説明する。本実施形態は、MQW構造を無秩序化して形成した回折格子を有する半導体素子に関する。

【0070】以下、本実施形態の半導体素子について、その製造方法を参照しつつ説明する。

【0071】図5は、本発明の第3の実施の形態にかかる半導体素子の要部製造方法を表す斜視概念図である。

【0072】本実施形態においては、まず、図5(a)に表したように、n型InP基板51の上に、MQW構造からなる活性層(多層構造)53を成長し、続けて、p型InPクラッド層54、p+型InGaAsコンタクト層55を成長する。

【0073】次に、コンタクト層55の上に、回折次数が2次のブラッグ回折格子に対応するパターンを有するSiO<sub>2</sub>マスク60を形成する。このパターン周期は、波長1300nmの波長帯に対しては約400nmであり、1550nm帯に対しては約480nmである。回折次数が1次の回折格子の周期は、これらの半分であり微細なために加工が難しい。加工精度の点からも、2次以上の周期とすることが望ましい。

【0074】次に、図5(b)に表したように、SiO<sub>2</sub>マスク60を用いて、亜鉛(Zn)を拡散する。あるいは、ベリリウム(Be)等をイオン注入してアニールしても良い。前述したように、拡散あるいはイオン注入された不純物は、温度によって活性層53のMQW構造を無秩序化し、無秩序化領域80を形成する。これによって、SiO<sub>2</sub>マスクのパターンが活性層53に転写さ



13

れる。つまり、MQW構造を有する活性層53は、ストライプ状でその側面に周期的凹凸を有するものとなる。活性層53の側面の周期的凹凸は、回折格子として作用する。

【0075】本具体例の場合は、活性層53と無秩序化領域80との屈折率の差はあまり大きくないので、いわゆるゲイン・ロス (gain/loss) 型の周期構造としての利得結合 (gain coupling) 型のDFBレーザが得られる。なお、図5においては省略したが、コンタクト層55の上面にはp側電極が形成され、n型InP基板51の裏面にはn側電極が形成される。

【0076】以上説明したように、本実施形態によれば、再成長を必要とせずに回折格子を備えたDFBレーザを製造することができる。

【0077】また、本実施形態においても、前述したような酸化膜または窒化膜の形成による原子空孔の移動による無秩序化現象を利用しても同様に半導体素子を形成することができる。但し、この場合には、無秩序化させる部分の表面に酸化膜または窒化膜を形成する必要があるため、図5に表したマスク60のパターンが反転する。

【0078】次に、本発明の第4の実施の形態について説明する。本実施形態は、基板面に対して平行な回折格子を有する半導体素子に関するものである。以下、製造工程の具体例を参照しつつ本実施形態の半導体素子について説明する。

【0079】図6及び図7は、本実施形態にかかる半導体レーザの要部製造工程を表す斜視概念図である。

【0080】本実施形態においても、まず、図6(a)に表したように、n型InP基板51の上に、MQW構造からなる活性層(多層構造)53を成長し、続けて、活性層53よりバンドギャップの大きく光学的に透明なMQW導波路構造52、p型InPクラッド層54、p+型InGaAsコンタクト層55、InPダミー層56を成長する。

【0081】次に、回折格子60をInPダミー層56の上に全面に形成する。本実施形態においては、側面の回折格子ではなく上面に凹凸を形成することになる。この回折格子60も、後に詳述するように拡散深さの精度に合わせて深く(概ね100nm以上)形成する必要がある。従って、加工の容易さの点からも回折次数が2次以上の回折格子とすることが望ましい。

【0082】次に、図6(b)に表したように、回折格子60を介して、亜鉛(Zn)を拡散する。あるいは、ベリリウム(Be)等をイオン注入してアニールしても良い。これらの不純物を導入する深さは、深い部分が導波路層2に達して、さらに進行する深さとする。この工程により拡散領域70が形成される。導入された不純物は、導波路層52のMQW構造を回折格子の深さに応じて部分的に無秩序化する。すなわち、MQW構造が実質

(8)

14

的に消失して平均的な組成を有する無秩序化領域80が形成される。このようにして、導波路層52には表面の回折格子60が転写される。

【0083】本具体例の場合も、屈折率の差はあまり大きくないので、無秩序化のために導入する亜鉛やベリリウムなどの不純物あるいは、原子空孔が活性層53の上側にも一部到達するようにして、活性層そのもののゲイン・ロス特性を制御するようにしても良い。

【0084】次に、図7(a)に表したように、最上層のInPダミー層56を塩酸(HCl)などによって選択的に除去する。すると平坦なコンタクト層55が現れる。

【0085】次に、図7(b)に表したように、コンタクト層55とクラッド層54をストライプ状にパターンニングしてリッジ状のメサストライプ58を形成する。さらに、ストライプ58の上に図示しないp側電極を形成し、InP基板の裏面に図示しないn側電極を形成して、ウェーハを分割することにより、リッジ導波路(Ridge Waveguide: RWG)型の半導体レーザ素子が完成する。

【0086】本実施形態においても、再成長させることなく、基板面に対して水平な回折格子を有する半導体素子を正確且つ容易に得ることができる。

【0087】また、本実施形態においても、前述したような酸化膜または窒化膜の形成による原子空孔の移動による無秩序化現象を利用しても同様に半導体素子を形成することができる。

【0088】次に、本発明の第5の実施の形態について説明する。本実施形態は、MQW構造を無秩序化させた領域を残して選択酸化をすることにより回折格子を形成した半導体素子に関する。

【0089】以下、製造方法の具体例を参照しつつ、本実施形態の半導体素子について説明する。図8は、本実施形態にかかる半導体素子の要部製造工程を表す斜視概念図である。

【0090】本実施形態においても、まず、同図(a)に表したように、n型InP基板51の上に、MQW構造からなる活性層(多層構造)53を成長する。続けて、MQW導波路構造2を成長する。このMQW構造は、平均的バンドギャップが活性層53よりも大きいことが必要とされ、例えば、InAlAsバリア層とInGaAsPウェル層とを交互に積層した構造とすることができる。

【0091】この後は、前述した実施形態と同様に、p型InPクラッド層54、p+型InGaAsコンタクト層55を成長する。

【0092】次に、回折次数が2次の回折格子に対応したパターンを有するSiO<sub>2</sub>マスク60を形成する。このマスク60も、加工精度の点からは2次以上の周期を有するものとするのが望ましい。但し、第3実施形態

(9)

15

に関する図5とは異なり、本実施形態においては、マスク60のパターンは反転して、ストライプの部分の抜けしている。

【0093】次に、図8(b)に表したように、このマスク60を用いて、亜鉛(Zn)を拡散する。あるいは、ベリリウム(Be)等の不純物をイオン注入してアニールしても良い。導入された不純物は、温度によって活性層のMQW構造53を部分的に無秩序化する。これにより微細なMQWの層構造が崩れて、ウェル層とバリア層の中間的な組成を有する無秩序化領域80が形成される。このストライプ状の無秩序化領域80の側面には、マスク60の回折格子パターンが転写される。

【0094】ここで、無秩序化領域80においては、酸化されやすいInAlAsバリア層が消失して中間的な組成のInAlGaAsPからなる5元混晶に変質し、酸化されにくくなる。

【0095】次に、無秩序化領域80から離れた外側の側面から導波路層52中のInAlAs層を水蒸気雰囲気中でアニールして酸化させ、Al(アルミニウム)の酸化物に変化させていく。この酸化を行うためには、図1乃至図4に例示したように、トレンチを形成しても良い。この酸化は、無秩序化領域80で停止する。こうして、側面に回折格子が形成された無秩序化領域80と、その外側の酸化物を含む酸化領域70が形成される。

【0096】この後に、コンタクト層55の上に図示しないp側電極を形成し、基板51の裏面に図示しないn側電極を形成して、ウェーハを分割することにより、半導体レーザ素子が得られる。

【0097】本実施形態においても、再成長工程を経ることなく、回折格子を有する半導体素子を得ることができる。

【0098】さらに、本実施形態においては、前述した第3実施形態とは異なり、回折格子の内側と外側で大きな屈折率差が得られる。無秩序化された半導体層の屈折率が3.3程度と大きいのに対し、酸化膜は1.5程度と約半分になるからである。ゆえに、回折格子の効率が、格段に高くなるという効果も得られる。

【0099】また、本実施形態においては、酸化領域は電流も流さないため電流ブロック層としても作用し、ストライプ状の無秩序化領域80に電流を狭窄できる。すなわち、電流狭窄効果も併せて得られ、まさに一石二鳥である。

【0100】また、本実施形態においても、前述したような酸化膜または窒化膜の形成による原子空孔の移動による無秩序化現象を利用しても同様に半導体素子を形成することができる。但し、この場合には、無秩序化させる部分の表面に酸化膜または窒化膜を形成する必要があるため、図8に表したマスク60のパターンが反転する。

【0101】次に、本発明の第6の実施の形態について

16

説明する。本実施形態は、基板面に対して平行な回折格子を形成し、且つ選択酸化することにより屈折率差を大きくした半導体素子に関する。

【0102】以下、製造方法の具体例を参照しつつ、本実施形態の半導体素子について説明する。図9及び図10は、本実施形態にかかる半導体素子の要部製造工程を表す斜視概念図である。

【0103】本実施形態においても、図9(a)に表したように、n型InP基板51上に、MQW構造からなる活性層(多層構造)53を成長、続けて、活性層3より平均的なバンドギャップの大きい透明なMQW導波路構造52、p型InPクラッド層54、p+型InGaAsコンタクト層55、InPダミー層56を成長する。ここで、本実施形態においては、導波路層52のMQW構造を、InAlAsバリア層とInGaAsPウェル層との積層構造とする。

【0104】さらに、InPダミー層56の上に、2次の回折格子60を形成する。

【0105】次に、図9(b)に表したように、回折格子60の上から亜鉛(Zn)を拡散する。あるいは、ベリリウム(Be)等の不純物をイオン注入してアニールしても良い。不純物を導入する深さは、深い部分が導波路層52に達して、さらに進行する深さとする。このようにして拡散領域70が形成される。導入された不純物は、導波路層52のMQW構造を無秩序化する。この無秩序化領域を80とする。これによって、導波路層52にはInPダミー層56表面の回折格子60が転写される。

【0106】次に、図10(a)に表したように、最上層のInPダミー層56を塩酸(HCl)などによって選択的に除去する。すると平坦なコンタクト層55が現れる。次に、図10(b)に表したように、コンタクト層55とクラッド層54とをストライプ状にパターニングしてリッジ状のメサストライプ58を形成する。

【0107】次に、導波路層52のうちで無秩序化を免れたMQW構造のInAlAsバリア層を側面からすべて水蒸気雰囲気中でアニールして酸化させて酸化領域52bを形成する。そうすると、導波路層52の回折格子は、Al(アルミニウム)の酸化物を有する酸化領域52bと無秩序化領域80との間で大きな屈折率差を有するようになる。なお、ここで、InAlAsバリア層の選択酸化を容易に行うためには、図1乃至図4に例示したようなトレンチを形成しても良い。または、リッジ58を形成する際に、導波路層52も同時にリッジ58に含めるように加工しても良い。

【0108】また、酸化により生じた酸化層をふっ酸系エッチャントなどにより選択的に除去すると、いわゆる空洞(air gap)型の回折格子とすることができる。

【0109】この後に、リッジ58の上に図示しないp側電極を形成し、基板51の裏面に図示しないn側電極

(10)

17

を形成して、ウェーハを分割すれば、リッジ導波路 (RidgeWaveguide: RWG) 型の高性能DFBレーザ素子が完成する。

【0110】本実施形態においても、再成長させることなく回折格子を備えた半導体素子を得ることができる。

【0111】さらに、本実施形態においては、導波路層52の一部を選択的に酸化することにより、回折格子の効率が格段に高くなるという効果も得られる。

【0112】また、本実施形態においても、前述したような酸化膜または窒化膜の形成による原子空孔の移動による無秩序化現象を利用しても同様に半導体素子を形成することができる。

【0113】以上、具体例を参照しつつ本発明の実施の形態について説明した。しかし、本発明は、これらの具体例に限定されるものではない。たとえば、半導体素子を構成する材料としては、InGaAlP/GaAs系、GaAlAs/GaAs系、InGaAs/InGaP/GaAs系等、本発明の主旨を逸脱しない限りいかなる材料を用いた場合についても同様に適用して同様の効果を得ることができる。

【0114】また、無秩序化や選択酸化を生じさせるMQW構造は、2種類の層を交互に積層させたものに限定されず、3種類以上の組成の層を周期的に積層させたものであったも良い。

【0115】また、半導体素子の構造としては、DFBレーザの他にもDBR (Distributed Bragg Reflector: 分布ブラッグ反射型) レーザや、回折格子結合型 (GratingCoupler) レーザなどの各種のレーザについても同様に適用することができる。

【0116】電流狭窄構造についても、半導体素子の構造に応じて適宜変更することができ、端面型半導体レーザに限らず、VCSELやLED (発光ダイオード) などの各種の発光素子、さらにトランジスタやダイオードあるいは集積回路素子などの半導体素子についても同様に適用可能である。

【0117】さらに、本発明は、半導体レーザ以外にも、光変調器や受光素子など、回折格子などの所定のパターンを形成する必要があるすべての半導体素子について同様に適用できる。また、光半導体素子を一部とする各種の集積デバイスにももちろん適用できる。

【0118】また、本発明によれば、光学的手段として、単純な周期的構造である回折格子の他にも、位相シフトや、導波路の幅や厚さを変化させる実効的な位相シフト構造を形成することもできる。つまり、本発明は、ホログラフィック (holographic) な微細パターンに限らず、それより寸法の大きな導波路形状の変化のような光学的手段についても同様に適用可能である。

【0119】

【発明の効果】本発明は、以上説明した形態で実施され、以下に説明する効果を奏する。

18

【0120】まず、本発明によれば、MQW構造の一部を無秩序化することによって残りの部分のみを正確且つ容易に選択酸化することができる。その結果として、電流狭窄構造を極めて正確且つ容易に形成することができる。

【0121】また、本発明によれば、電流通電部となる無秩序化領域は、非通電領域となる両側の高抵抗化領域より屈折率が高いので、導波路機能を有する。したがって、実屈折率型の典型的な導波路構造も実現できる。この場合にも、導波路となる無秩序化領域の形状と寸法とを不純物の導入により正確且つ容易に規定することができるという効果が得られる。

【0122】また、本発明によれば、酸化領域のなかにスポット状の無秩序化領域を設けることにより、MQW構造の下層と上層とをつなぎとめる「橋脚」の作用が得られる。つまり、無秩序化領域を設けることによって、メサストライプ部の「反り」を防ぎ、結晶の劣化を解消することができる。

【0123】一方、本発明によれば、所定のマスクを介してMQW構造を無秩序化させることにより、再成長工程を経ることなく、基板面に対して垂直な回折格子も水平な回折格子も正確且つ容易に形成することができる。

【0124】さらに、本発明によれば、このようにして形成した回折格子の一部を選択的に酸化することによって、屈折率の差を大きくすることができ、回折格子の効率を大幅に高くして実屈折率型の導波路構造を容易に形成することができる。

【0125】さらに、本発明によれば、選択的に酸化することによって電流狭窄構造と回折格子効果とを同時に実現することもできる。

【0126】以上説明したように、本発明によれば、高性能の半導体レーザなどの半導体素子を正確且つ容易に提供することができ、産業上のメリットは多大である。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態にかかる半導体素子を表す斜視概念図である。

【図2】第1実施形態の半導体レーザの製造方法を表す概念工程断面図である。

【図3】本発明の第2の実施の形態にかかる半導体素子を表す斜視概念図である。

【図4】第2実施形態の半導体レーザの要部製造工程を表す概略工程断面図である。

【図5】本発明の第3の実施の形態にかかる半導体素子の要部製造方法を表す斜視概念図である。

【図6】本発明の第4実施形態にかかる半導体レーザの要部製造工程を表す斜視概念図である。

【図7】本発明の第4実施形態にかかる半導体レーザの要部製造工程を表す斜視概念図である。

【図8】本発明の第5実施形態にかかる半導体素子の要部製造工程を表す斜視概念図である。

(11)

19

【図9】本発明の第6の実施形態にかかる半導体素子の要部製造工程を表す斜視概念図である。

【図10】本発明の第6の実施形態にかかる半導体素子の要部製造工程を表す斜視概念図である。

【図11】従来のGaAlAs/GaAs系端面発光型レーザを表す説明図である。

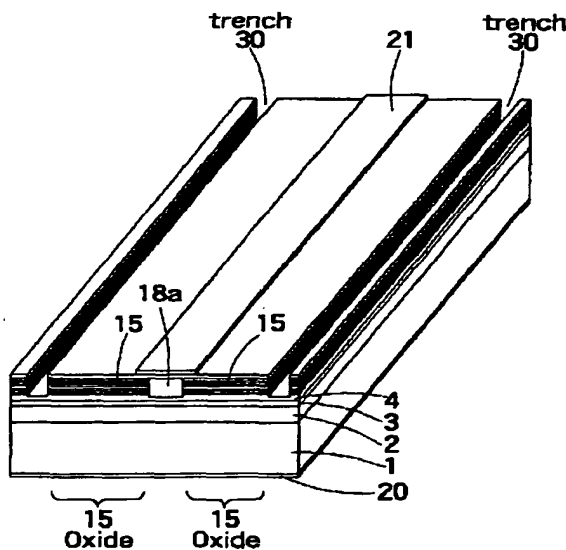
【図12】従来の分布帰還型レーザの製造工程の要部を説明する工程断面図である。

【図13】より一般的に広く行われている従来の方法を表す工程断面図である。

【符号の説明】

- 1 GaAs基板
- 2 n型GaAlAsクラッド層
- 3 MQW構造の活性層 (付随する導波路層も含む)
- 4 p型GaAlAsクラッド層
- 5 p型AlAs層
- 6 p型GaAlAsクラッド層
- 7 p型GaAsコンタクト層
- 10 メサストライプ
- 15 酸化膜 (酸化領域)
- 16 AlAs薄層
- 17 GaAlAs薄層
- 18 17+16によるMQW構造
- 18a 18のMQW構造が無秩序化された領域

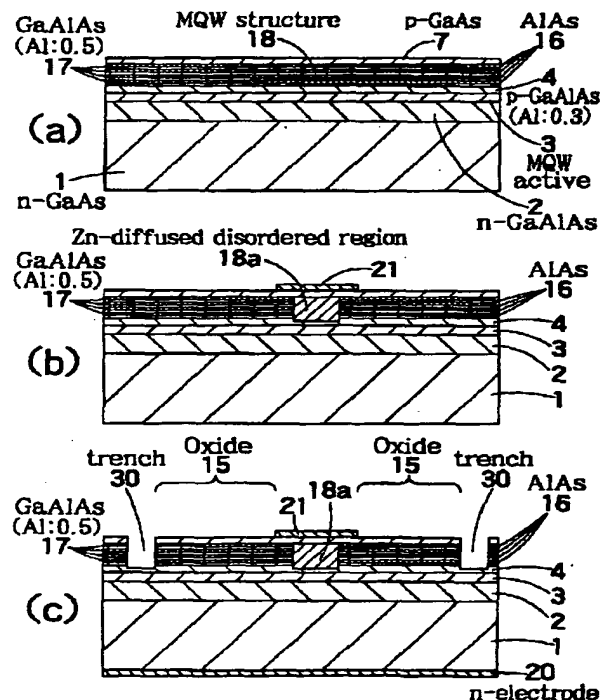
【図1】



20

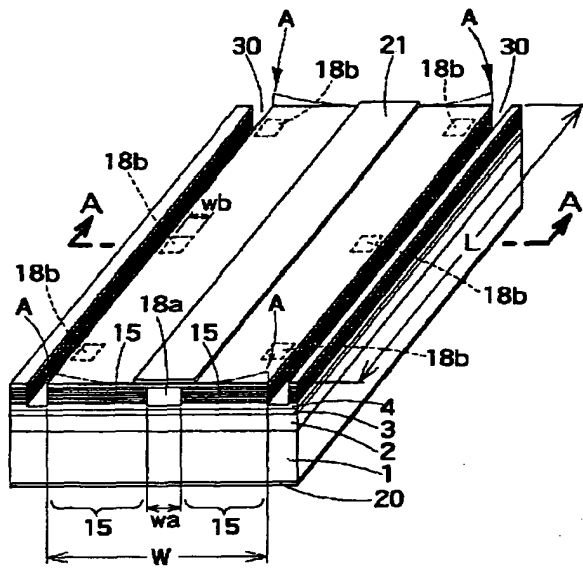
- 18b 外側の無秩序化されたスポット領域
- 20 n側電極
- 21 p側電極
- 51 InP基板
- 52 InGaAsP導波路層
- 53 MQW構造の活性層
- 54 InPクラッド層
- 55 InGaAsコンタクト層
- 56 InPダミー層
- 10 58 リッジ状メサストライプ
- 60 マスク
- 70 拡散もしくはインプラ領域
- 80 MQW構造の無秩序化された領域
- 101 GaAs基板
- 102 n型GaAlAsクラッド層
- 103 MQW構造の活性層 (付随する導波路層も含む)
- 104 p型GaAlAsクラッド層
- 105 p型AlAs層
- 20 106 p型GaAlAsクラッド層
- 107 p型GaAsコンタクト層
- 110 メサストライプ
- 115 酸化膜 (酸化領域)

【図2】

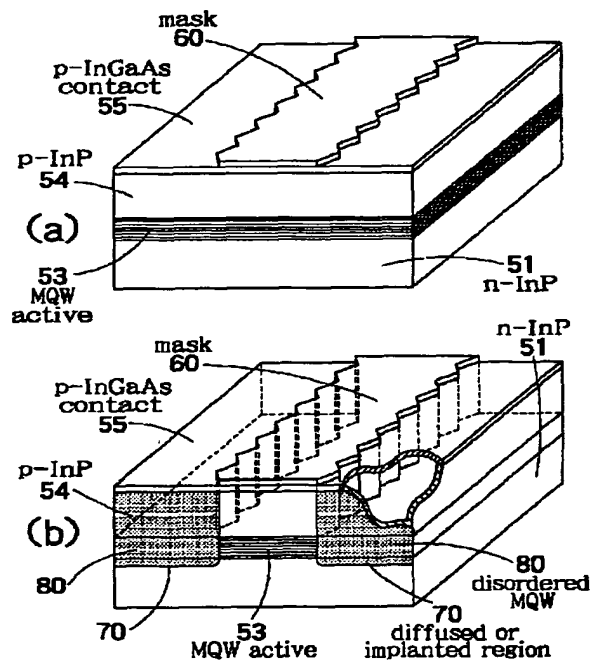


(12)

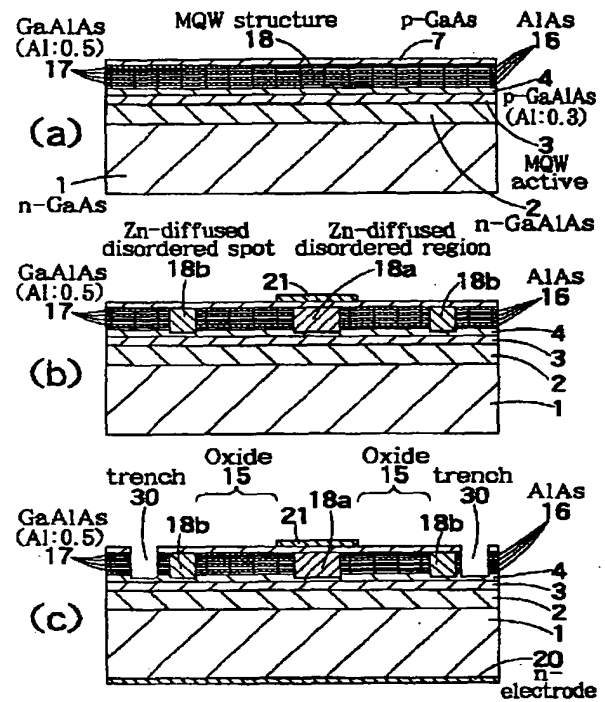
【図 3】



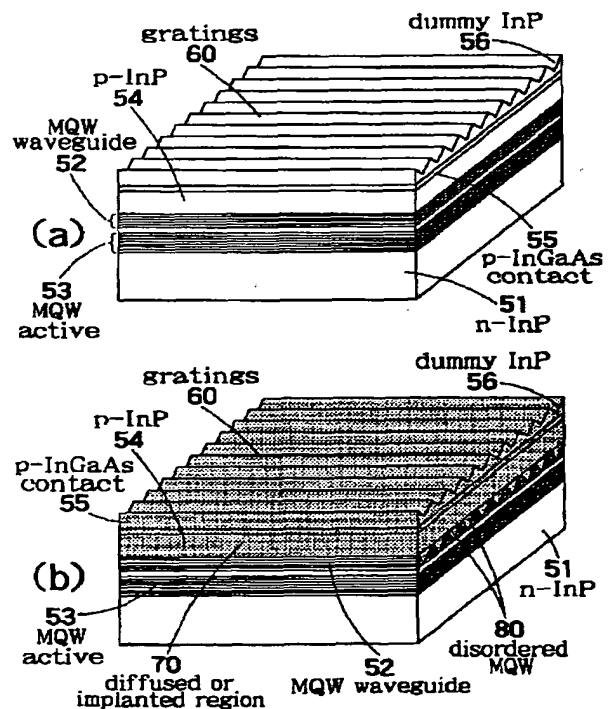
【図 5】



【図 4】

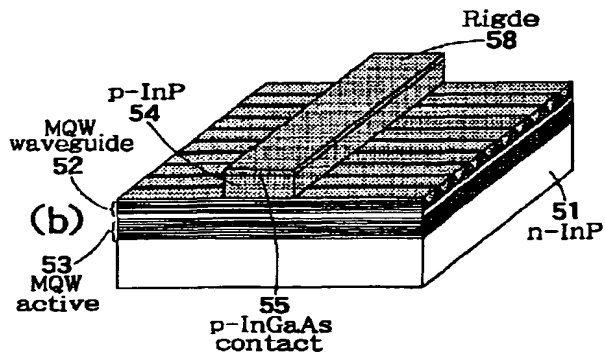
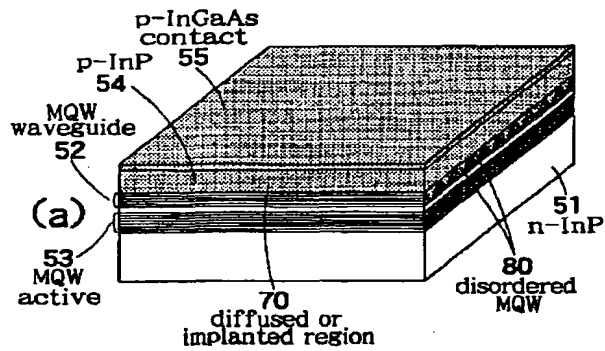


【図 6】

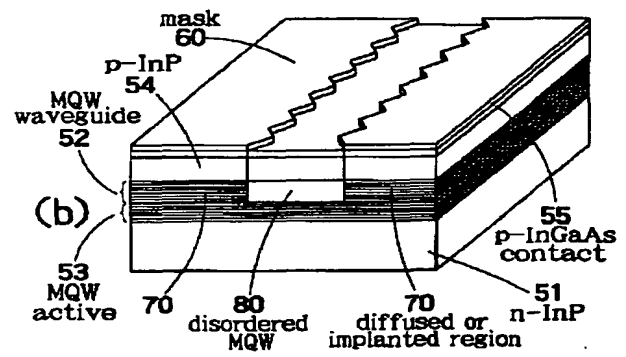
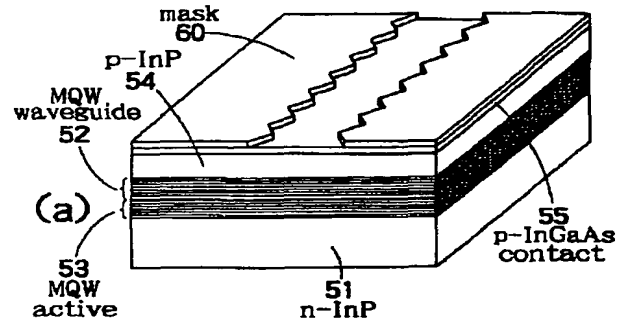


(13)

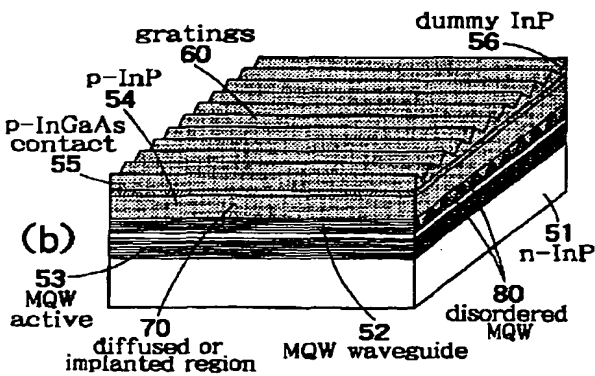
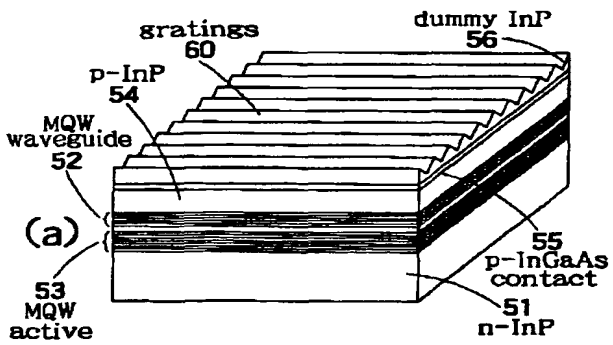
【図7】



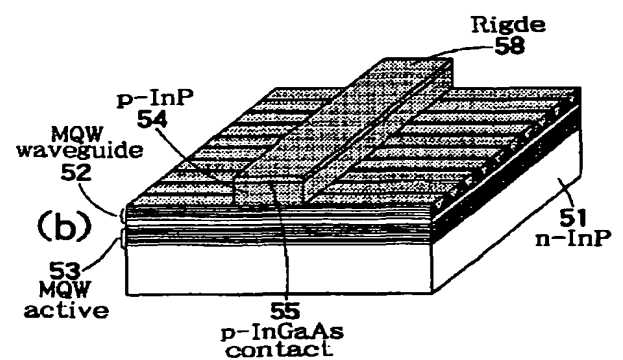
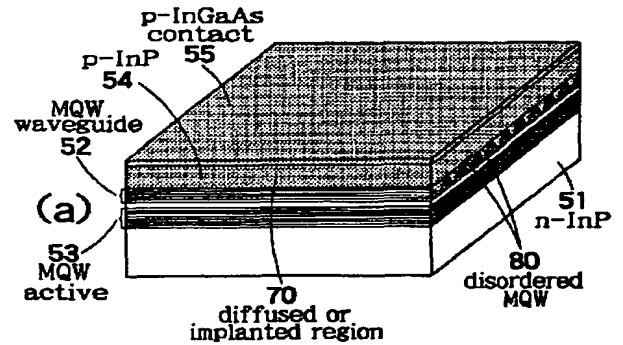
【図8】



【図9】

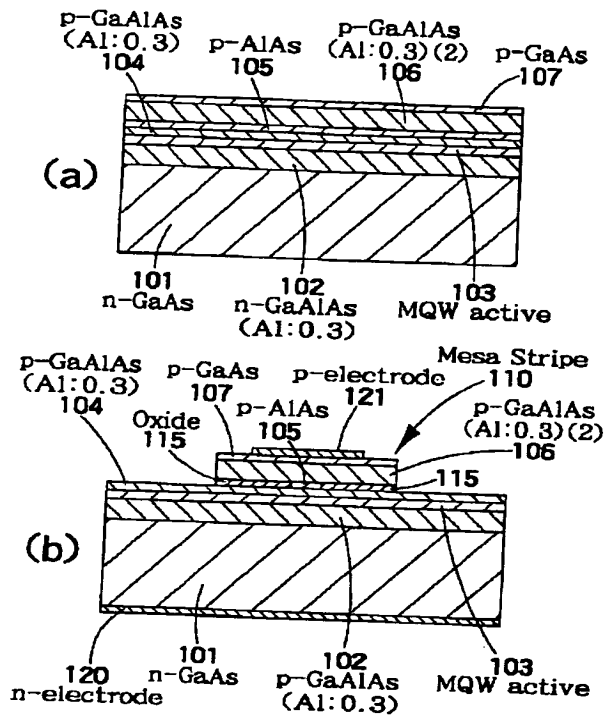


【図10】

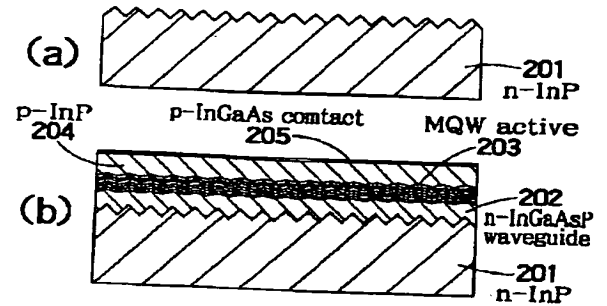


(14)

【図11】



【図12】



【図13】

